

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307259

(43)Date of publication of application : 21.11.1995

(51)Int.Cl. H01L 21/02
H01L 21/20

(21)Application number : 06-303707 (71)Applicant : NEC CORP

(22)Date of filing : 07.12.1994 (72)Inventor : MORI KAZUO

(30)Priority

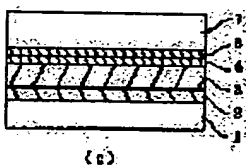
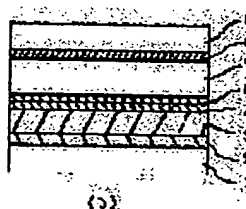
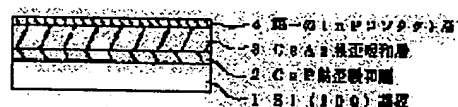
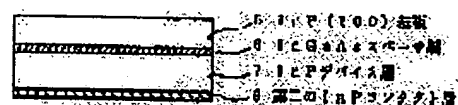
Priority number : 06 45828 Priority date : 16.03.1994 Priority country : JP

(54) MANUFACTURE OF COMPOUND SEMICONDUCTOR LAYER ON SILICON SUBSTRATE

(57)Abstract:

PURPOSE: To avoid a defect caused by a thermal stress by a method wherein a first substrate surface layer above a support substrate with a III-V compound semiconductor device layer therebetween and a second substrate surface layer above an Si substrate with semiconductor thermal distortion relieving layer therebetween are bonded to each other by compression under a specific high temperature.

CONSTITUTION: A GaP thermal distortion relieving layer 2, a GaAs thermal distortion relieving layer 3 and a first InP contact layer 4 are built up on an Si (100) substrate 1. Further, an InGaAs spacer layer 6, an InP device layer 7 and a second InP contact layer 8 are built up on an InP (100) substrate 5. After a surface treatment is performed with sulfuric acid system solution, the layers on the Si (100) substrate 1 and the layers on the InP (100) substrate 5 are put on each other with the first InP contact layer 4 and the second InP contact layer 8 therebetween. Then a light weight is placed on the piled layers which are subjected to a heat treatment at a temperature not lower than 450°C to bond the



layers on both substrates to each other.

LEGAL STATUS

[Date of request for examination]	07.12.1994
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2669368
[Date of registration]	04.07.1997
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307259

(43) 公開日 平成7年(1995)11月21日

(51) Int. Cl.
H 0 1 L 21/02
21/20識別記号
B
庁内整理番号

P I

技術表示箇所

審査請求 有 請求項の数14 O L (全 10 頁)

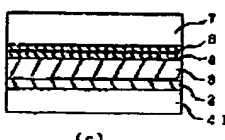
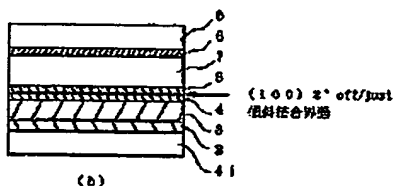
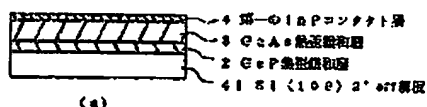
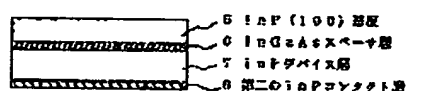
(21) 出願番号	特願平6-303707	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成6年(1994)12月7日	(72) 発明者	森 一男 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願平6-45828	(74) 代理人	弁理士 京本 國樹 (外2名)
(32) 優先日	平6(1994)3月16日		
(33) 優先権主張国	日本 (J P)		

(54) [発明の名称] Si 基板上化合物半導体積層構造の製造方法

(57) [要約]

【目的】 Si 基板上に III-V 族化合物半導体単結晶層を直接接合して形成する際の熱歪による欠陥導入を回避する。

【構成】 Si (100) 2° off 基板 41 上に GaP 熱歪緩和層 2、GaAs 熱歪緩和層 3、第一の InP コンタクト層 4 を成長する。さらに InP (100) 基板 5 上に InGaAs スペーサ層 6、InP デバイス層 7、第二の InP コンタクト層 8 を成長する。次に Si (100) 2° off 基板 41 および InP (100) 基板 5 上の積層構造を、水素中、600℃で30分間の加圧熱処理を行うことで第一の InP コンタクト層 4 および第二の InP コンタクト層 8 を介して接合。最後に InP (100) 基板 5 および InGaAs スペーサ層 6 を除去して InP デバイス層 7 の表面を露出させる。GaP および GaAs は剛性率が高いため熱歪緩和層として作用し off / just 傾斜接合界面内に存在する界面歪層が転位ブロック層として作用する。



1

【特許請求の範囲】

【請求項1】支持基板上にⅢⅠⅠ-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面と、Si基板上に前記ⅢⅠⅠ-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を少なくとも挟んで形成した第二の基板面とを、450℃以上の高温で圧着する工程を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項2】支持基板上に少なくともⅢⅠⅠ-V族化合物半導体デバイス層を挟み、さらにその上に前記ⅢⅠⅠ-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを、450℃以上の高温で圧着する工程を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項3】支持基板上にⅢⅠⅠ-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを450℃以上の高温で圧着する工程を少なくとも有し、かつ圧着後の界面に格子歪または欠陥などによる原子配列の乱れが生じるように施したことを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項4】請求項3に記載のSi基板上化合物半導体積層構造の製造方法において、第一の基板面に対して第二の基板面の面方位または面内格子定数が異なっている、あるいは結晶軸が傾斜または回転方向にずれていることを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項5】支持基板上にⅢⅠⅠ-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面およびSi基板上に形成した第二の基板面の両方あるいは一方の表面に絶縁膜転移ブロック層を形成する工程と、前記絶縁膜転移ブロック層を介して前記第一の基板面および第二の基板面を450℃以上の高温で圧着する工程とを少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項6】請求項3又は請求項4又は請求項5に記載のSi基板上化合物半導体積層構造の製造方法において、Si基板上にⅢⅠⅠ-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を少なくとも挟んで第二の基板面を形成することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項7】支持基板上にⅢⅠⅠ-V族化合物半導体デバイス層を少なくとも挟み、さらにその上に単層あるいは多層構造からなる半導体転位ブロック層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを、450℃以上の高温で圧着する工程

(2)

特開平7-307259

2

を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項8】請求項7に記載のSi基板上化合物半導体積層構造の製造方法において、半導体転位ブロック層がⅠV族あるいはⅢⅠⅠ-V族半導体からなる歪層または歪超格子層、あるいは格子歪緩和層、さらにはこれらの多層構造であることを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項9】請求項7又は請求項8に記載のSi基板上化合物半導体積層構造の製造方法において、ⅢⅠⅠ-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を、半導体転位ブロック層と第一の基板面の間か、あるいはSi基板と第二の基板面の間の少なくとも一方に形成することを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項10】請求項1又は請求項2又は請求項7又は請求項8又は請求項9に記載のSi基板上化合物半導体積層構造の製造方法において、第一または第二の基板面が半導体あるいは絶縁体の何れかであることを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項11】請求項1又は請求項2又は請求項6又は請求項9に記載のSi基板上化合物半導体積層構造の製造方法において、半導体熱歪緩和層がⅠV族Ge、ⅢⅠⅠ族GaまたはAlのいずれか少なくとも1種を構成元素として含むことを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項12】請求項11に記載のSi基板上化合物半導体積層構造の製造方法において、半導体熱歪緩和層がGe層、Si層、Ge_{1-x}Si_x層またはSi/Ge超格子層、あるいはAlP層、GaP層、AlAs層、GaAs層、これらから選択して構成された混晶層または超格子層、さらにはこれらの多層構造の何れかを少なくとも含むことを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項13】請求項1又は請求項2又は請求項3又は請求項4又は請求項5又は請求項6又は請求項7又は請求項8又は請求項9又は請求項10又は請求項11又は請求項12に記載のSi基板上化合物半導体積層構造の製造方法において、支持基板が半導体あるいは絶縁体の何れかであることを特徴とするSi基板上化合物半導体積層構造の製造方法。

【請求項14】請求項1又は請求項2又は請求項3又は請求項4又は請求項5又は請求項6又は請求項7又は請求項8又は請求項9又は請求項10又は請求項11又は請求項12又は請求項13に記載のSi基板上化合物半導体積層構造の製造方法において、ⅢⅠⅠ-V族化合物半導体デバイス層がⅢⅠⅠ族InまたはV族Sbのいずれか少なくとも1種を構成元素として含むことを特徴とするSi基板上化合物半導体積層構造の製造方法。

(3)

特開平7-307259

3

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はSi基板上に高品質なIII-V族化合物半導体単結晶層を直接接合して形成するSi基板上化合物半導体積層構造の製造方法に関する。

【0002】

【従来の技術】現在、Siに代表されるIV族半導体単結晶基板上にGaAsやInPに代表されるIII-V族化合物半導体単結晶薄膜を形成する試みが活発に行われている。これは、このような薄膜構造が形成できると、III-V族化合物半導体高機能素子を安価なSi基板上に作製でき、またSiの高い熱伝導率によって光素子等の性能向上が期待できるためである。さらにSi超高集積回路とIII-V族化合物半導体超高速素子や光素子を同一基板上に形成できるため、新しい高機能素子の開発が予測されるからである。

【0003】ところでSi基板上に形成したIII-V族化合物半導体薄膜を素子作製に应用するためには結晶品質の向上が重要である。例えば雑誌「ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス(Jpn. J. Appl. Phys.)」第24巻第6号(1985年)の第L391-393頁に説明されている「二段階成長法」を用いれば、全基板面内でIII族とV族の配列の位相がそろったシングル・ドメイン単結晶薄膜が確実に得られ、また従来の直接成長に比べ結晶性も向上する。しかしSi基板上に例えばGaAsを成長した場合、Si/GaAs界面にはその格子不整合率から予想されるよりもはるかに多くの転位や積層欠陥が発生し、さらにその一部は容易に上層まで伸びて貫通転位となる。二段階成長法による場合の転位密度は数 μm 厚の成長表面で 10^4 cm^{-2} にも達する。

【0004】そこで導入されたのが歪超格子中間層や熱サイクルアニール法で、これらによって約 10^4 cm^{-2} まで転位密度は急速に改善された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第54巻第1号(1989年)の第24-26頁)。しかしながら約 10^4 cm^{-2} を下回る結果は容易には得られず、その原因としてSi基板とIII-V族化合物半導体との熱膨張係数差の問題が指摘された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第56巻第22号(1990年)の第2225-2227頁)。即ち熱サイクルアニールの導入などによって成長温度(650℃)においては 10^4 cm^{-2} 以下まで転位密度は減少しているが、成長後の冷却中(450℃程度以下)に熱膨張係数差によるストレスによって 10^4 cm^{-2} 台の転位が導入されるというものである。これはSi基板との界面付近に多数残留する転位が熱歪によって上昇してくるためと考えられている。

【0005】以上の様な問題はSiとの格子定数差が8

4

%と大きいSi上のInP成長でより顕著であり、転位密度はいまだ約 10^4 cm^{-2} と高い(雑誌「ジャーナル・オブ・クリスタル・グロース(J. Crystal Growth)」第99巻(1990年)の第365-370頁)。また残留熱歪が大きいと作製した発光デバイスに高密度の電流を注入した際にも欠陥の増殖を招き寿命を著しく低下させる要因となるため問題である。

【0006】一方、格子定数等の異なる材料を積層する他の方法として異種基板同士を直接接合させる方法が提案され、高品質層が容易に得られる方法として期待されている。SiとIII-V族化合物半導体基板を直接接合、一体化して基板を作製する方法の例が特開昭61-182215号公報、特開昭61-183918号公報、特開平1-133341号公報、特開平1-238113号公報、特開平2-194519号公報に記載されている。実際にGaAs基板上に成長したInGaAs/GaAs歪量子井戸構造をSi基板上に直接接合法で転写させることでSi基板上に半導体レーザーを作製した結果が報告された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第62巻第10号(1993年)の第1038-1040頁)。さらにSi基板上にInGaAs/InP系長波ダブルヘテロ構造を直接接合法で形成した結果が報告された(雑誌「応用物理」第63巻第1号(1994)の第53-56頁)。

【0007】

【発明が解決しようとする課題】Si基板上に高品質なIII-V族化合物半導体単結晶層を得るために採用された上記従来技術の問題点を考えてみる。

【0008】前述のようにSi基板上にIII-V族化合物半導体単結晶層を直接ヘテロエピタキシャル成長する方法では、転位密度がいまだ高く残留熱歪が大きいという問題がある。

【0009】一方、異種基板同士を直接接合させる方法では、格子不整合に基づく転位は接合界面のみに閉じ込められるため結晶品質に関して原理的には問題がないと考えられる。実際にSi基板上に直接接合法でInGaAs/GaAs歪量子井戸レーザーを作製した前述の報告では650℃で30分熱処理することで原子レベルでの接合が得られ、かつ欠陥のない高品質のレーザーを実現している。ところがSi/InP間の直接接合法でSi基板上にInGaAs/InP系長波量子井戸構造を形成した前述の報告では、600℃以上の高温熱処理後の冷却時に熱膨張係数差による応力のためInP側に多数の貫通転位が導入され問題であった。550℃以下にすれば貫通転位の導入は防げるが接合強度が大きく低下する。高温ではInP結晶構成原子のマイグレーションによる置換移動が容易に起こり、界面の多少の隙間はこれが埋めてくれるため原子レベルで均一な接合を得やすいが、低温ではこの作用が期待できないためである。

5

【0010】また前述の特開昭61-182215号公報および特開平2-194519号公報には熱応力による欠陥発生の問題を回避する方法が記載されている。前者では「隣り合う半導体基材の平均熱膨張係数の差を $2 \times 10^{-4} \text{ deg}^{-1}$ 以下とする」ことであり、後者では「転位発生の臨界温度(450℃)以下の温度で接合する」ことである。しかし実際には熱膨張係数差が $2 \times 10^{-4} \text{ deg}^{-1}$ 以下と小さいSi/InP系で上述のように多数の貫通転位が導入され問題となっており、また転位発生の臨界温度、450℃以下では十分な接合強度が得られない。

【0011】本発明の目的はこのような従来技術の欠点を克服し、熱応力による欠陥発生の問題を回避することによりSi基板上に高品質なIII-V族化合物半導体単結晶層を直接接合して形成するSi基板上化合物半導体積層構造を製造する方法を提供することにある。

【0012】

【課題を解決するための手段】請求項1の発明によれば支持基板上にIII-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面と、Si基板上に前記III-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を少なくとも挟んで形成した第二の基板面とを、450℃以上の高温で圧着する工程を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。また第一または第二の基板面が半導体あるいは絶縁体の何れかであることを特徴とする。

【0013】また請求項2の発明によれば支持基板上に少なくともIII-V族化合物半導体デバイス層を挟み、さらにその上に前記III-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを、450℃以上の高温で圧着する工程を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。また第一または第二の基板面が半導体あるいは絶縁体の何れかであることを特徴とする。

【0014】また請求項3の発明によれば支持基板上にIII-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを450℃以上の高温で圧着する工程を少なくとも有し、かつ圧着後の界面に格子歪または欠陥などによる原子配列の乱れが生じるように施したことを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。また第一の基板面に対して第二の基板面の面方位または面内格子定数が異なっている、あるいは結晶軸が傾斜または回転方向にずれていることを特徴とする。またSi基板上に少なくともIII-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層

(4)

特開平7-307259

6

構造からなる半導体熱歪緩和層を挟んで第二の基板面を形成することを特徴とする。

【0015】また請求項5の発明によれば支持基板上にIII-V族化合物半導体デバイス層を少なくとも挟んで形成した第一の基板面およびSi基板上に形成した第二の基板面の両方あるいは一方の表面に絶縁膜転移ブロック層を形成する工程と、前記絶縁膜転移ブロック層を介して前記第一の基板面および第二の基板面を450℃以上の高温で圧着する工程とを少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。またSi基板上に少なくともIII-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を挟んで第二の基板面を形成することを特徴とする。

【0016】また請求項7の発明によれば支持基板上にIII-V族化合物半導体デバイス層を少なくとも挟み、さらにその上に単層あるいは多層構造からなる半導体転位ブロック層を少なくとも挟んで形成した第一の基板面と、Si基板上に形成した第二の基板面とを、450℃以上の高温で圧着する工程を少なくとも有することを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。また半導体転位ブロック層がIV族あるいはIII-V族半導体からなる歪層または歪超格子層、あるいは格子歪緩和層、さらにはこれらの多層構造であることを特徴とする。またIII-V族化合物半導体デバイス層より大きな剛性率を有する単層あるいは多層構造からなる半導体熱歪緩和層を、半導体転位ブロック層と第一の基板面の間か、あるいはSi基板と第二の基板面の間の少なくとも一方に形成することを特徴とする。また第一または第二の基板面が半導体あるいは絶縁体の何れかであることを特徴とする。

【0017】以上、本発明によれば半導体熱歪緩和層がIV族Ge、III族GaまたはAlのいずれか少なくとも1種を構成元素として含むことを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。また半導体熱歪緩和層がGe層、Si、Ge、液晶層またはSi/Ge超格子層、あるいはAlP層、GaP層、AlAs層、GaAs層、これらから選択して構成された混晶層または超格子層、さらにはこれらの多層構造の何れかを少なくとも含むことを特徴とする。また支持基板が半導体あるいは絶縁体の何れかであることを特徴とする。またIII-V族化合物半導体デバイス層がIII族InまたはV族Sbのいずれか少なくとも1種を構成元素として含むことを特徴とするSi基板上化合物半導体積層構造の製造方法が得られる。

【0018】

【作用】Si上のGaAs成長の場合、前述のように熱サイクルアニールなどによって成長温度では 10^4 cm^{-1} 以下まで転位密度が減少する。しかし大きな熱膨張係数差のため成長後の冷却中に 10^6 cm^{-1} 位の転位が導入さ

7

れる。

【0019】一方、Si上のInP成長において、熱膨張係数差が小さいにも拘らず転位密度が約 10^7 cm^{-2} と高い原因としては、成長中に格子不整合によって導入された転位を減らす有効な手段自体がないことによると考えられる。そもそも熱サイクルアニールによる効果は熱歪を利用して転位の運動を促進し、最配列させるものであるため、熱膨張係数差の小さいSi上のInPではこの作用による転位低減はあまり期待できない。また亜鉛格子中間層などを導入しても、InPとこれにはほぼ格子整合するInGaAsなどは後述の様に柔らかい材料系であるため、中間層自身が歪によって三次元成長しやすい。そのため成長中に貫通してくる転位を面内方向に曲げて阻止することも難しいと考えられる。

【0020】接合法の場合、Si上のGaAsでは転位の発生が無い。これには接合界面に導入される転位の性質が関係していると考えられる。即ち接合法によって格

(5)

特開平7-307259

8

* 子不整合界面に導入される転位は面内方向のバーガースベクトルを持つ 90° 転位であり、界面にとじ込められ上昇は起こりにくい。一方、成長によって形成したSi/III-V族化合物半導体界面には(111)すべり面上を自由に動くことができる 60° 転位が多数導入され、Si上のGaAsでは冷却時の大きな熱歪によって容易に上昇する。

【0021】一方、Si上のInPでは接合法でも約 10^7 cm^{-2} の転位が発生する。熱膨張係数差は小さいので意外であるが、これはInPがGaAsに比べ極めて柔らかい材料であるためと考えられる。一方、比較的問題とならないGaAsは硬い材料である。

【0022】柔らかい材料であるInPをSi上へ接合する場合、特に熱歪が集中する接合界面で 90° 転位以外に 60° 転位が多数導入されると考えられる。

【0023】

【表1】

物質	剛性率 ($10^{11} \text{ dyn cm}^{-2}$)	熱膨張係数 (deg^{-1})
Si	5.09	2.6
Ge	4.14	5.9
GaP	8.08	4.7
AlP	8.85	4.2
GaAs	8.25	5.8
AlAs	8.18	5.2
InP	2.23	4.6
InAs	1.90	5.2
GaSb	2.41	6.4
AlSb	2.26	4.3
InSb	1.64	5.1

【0024】材料の柔らかさ、硬さを表す指標としては例えば剛性率がある。表1には二元系III-V族化合物半導体およびIV族のSiおよびGeにおける剛性率と、さらに熱膨張係数を示した。III-V族ではInPなどのIn系とGaSbなどSb系で剛性率が小さく、一方、V族元素がSbである系を除くGaまたはAl系で剛性率が大きい。即ち一般的には格子定数が小さい(III-V族化合物半導体の場合はSiに近くなる)ほど剛性率は大きい傾向にある。またIV族Siの剛性率は特に大きく、GeもIII-V族よりは大きい。次に熱膨張係数に関して見るとSiのみ小さな値を有しており、他のIV族GeおよびIII-V族化合物半導体はすべて大きな値を有する点に特徴がある。

【0025】本発明は以上で述べたような格子不整合による転位導入および熱膨張係数差と剛性率が関係した熱

40

歪による転位導入のメカニズムに注目することで得られた。上述のように接合法でもInPの様な柔らかい材料の場合、熱歪による貫通転位の発生が問題になった。一方、GaAsの様に熱膨張係数差が大きくても剛性率が大きければ欠陥発生は少ない。従ってSi上に熱膨張係数差が大きく剛性率の小さいIn系やSb系のIII-V族化合物半導体層を直接接合して形成する際に、熱膨張係数が目的のIII-V族化合物半導体層に近く、しかも剛性率の大きい材料、即ちIV族ではGe、III-V族ではV族元素がSbである系を除くGaまたはAl系の材料からなる熱歪緩和層を挟むことで目的のIn系やSb系のIII-V族化合物半導体層中での欠陥発生を最小限に抑えることができる。なお目的のIII-V族化合物半導体層や熱歪緩和層が単晶である場合、例えば熱歪緩和層がGaやAl以外にInやSbを含む場

50

JP,07-307259,A

☒ STANDARD ☐ ZOOM-UP ROTATION

No Rotation 

☐ REVERSAL

RELOAD

PREVIOUS PAGE

NEXT PAGE

DETAIL

9

合でも、その成分比率によって決まる熱膨張係数および剛性率との関係があくまで重要となる。

【0026】またSi上のInP成長では前述のように成長中に導入された転位を減らす有効な手段がなかった。しかし接合法では成長の場合とは異なり、少なくとも高温での接合時または原理的に貫通転位の存在しない高品質が維持されている。そこで予めSi/III-V族化合物半導体界面から十分に離れた上部に歪超格子中間層と転位ブロック層を設けておけば、接合後の冷却時に貫通してくる転位があってもこれを阻止することができる。またはSi基板上に予めバッファ層を成長しておき、この成長面を用いて接合する場合は、接合界面自体が既にSi/III-V族化合物半導体界面から十分に離れた上部に位置している。そこで接合界面内に何等かの方法で高密度欠陥を導入しておけば、この界面欠陥による歪層によっても冷却時の転位貫通を阻止することができる。接合界面内に高密度欠陥を導入する方法としては異なった面方位または面内格子定数を待つ、あるいは結晶軸が傾斜または回転方向にずれた面同士で接合すればよい。さらに接合界面に薄い絶縁膜を挟んで接合することでも転位の貫通を阻止することができる。

【0027】さらに熱歪緩和層の導入と歪超格子中間層や接合界面歪層と転位ブロック層の導入を併用することで極めて効果的に貫通転位の導入を防ぐことができる。

【0028】接合面としては半導体に限らずSiO₂など絶縁体層を形成しておいても基本的には問題ない。接合面の選択によって接合温度が変化し、絶縁体場合には高電圧をかけることで単なる熱処理より逆に低温で接合することもできる。また前述の様に薄い絶縁膜には転位の貫通を阻止する効果もある。ただし絶縁体層が厚く、III-V族化合物半導体層との熱膨張係数差が問題になる場合は、特に限定された構成が必要になる。この場合、熱歪緩和層は接合界面に対して目的のIn系やSb系のIII-V族化合物半導体層側に形成する必要がある。また絶縁層を挟めば当然ながら接合界面を通して電流を流すことはできない。

【0029】また目的のIII-V族化合物半導体層を形成しておく支持基板としては目的のIII-V族化合物半導体層と格子整合する半導体基板以外にも格子整合しない場合や、あるいは絶縁体を用いてもよい。要は目的のIII-V族化合物半導体層をエピタキシャル成長法や接合法で支持基板上に形成する際に格子不整合あるいは熱歪による結晶品質の劣化が無ければよい。

【0030】

【実施例】以下本発明の実施例について図面を参照して詳細に説明する。

【0031】（実施例1）図1（a）～（c）には請求項1の発明の一例としての製造工程を各段階における断面図で示した。

(5)

特開平7-307259

19

【0032】図1（a）に示すように例えばまず100℃での熱クリーニングによってシングル・ドメイン化したSi（100）基板1上に0.5μm厚のGaP熱歪緩和層2、1μm厚のGaAs熱歪緩和層3、0.3μm厚の第一のInPコンタクト層4を成長する。さらにInP（100）基板5上に0.3μm厚のInGaAsスペーサ層6、2μm厚のInPデバイス層7、0.3μm厚の第二のInPコンタクト層8を成長する。成長にはV族原料としてアルシン（AsH₃）およびホスフィン（PH₃）を用いたガスソース分子線エピタキシャル成長法（MBE法）を用いた。

【0033】次に図1（b）に示すように硫酸溶液による表面処理を行った後、Si（100）基板1およびInP（100）基板5上の積層構造を第一のInPコンタクト層4および第二のInPコンタクト層8を介して表面同士で重ね合わせ、軽い重りを載せて水中、600℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0034】最後に図1（c）に示すように研磨および選択エッチングによってInP（100）基板5およびInGaAsスペーサ層6を除去してInPデバイス層7の表面を露出させた。

【0035】得られたInPデバイス層7の結晶品質を調べるために行ったホールミネッセンス（PL）測定からはInP基板上の成長層と遜色のない発光強度が得られ、また発光波長のシフト、即ちInP/Siの熱膨張係数差に起因する熱歪も小さいことが分かった。InPデバイス層7の表面は平坦であり、またエッチビット密度（EPD）の測定およびTEM観察の結果、転位密度も10³～10⁴cm⁻²程度で良好な結晶品質が得られていることが分かった。

【0036】比較のためSi（100）基板上に直接0.3μm厚のInPコンタクト層を成長した基板を用いて、この上にInP（100）基板上に成長したInPデバイス層を接合、転写する実験も行った。表面には無数のクロスハッチが見られ、転位密度も～10⁷cm⁻²程度と非常に高く、明らかに熱歪による貫通欠陥の発生が見られた。従って剛性率の大きいGaP熱歪緩和層、およびGaAs熱歪緩和層の挿入効果が確認できた。

【0037】（実施例2）図2（a）～（b）には請求項1の発明の別の一例としての製造工程を各段階における断面図で示した。

【0038】図2（a）に示すように例えばまずSi（100）基板1上に0.6μm厚のSi/Ge超格子熱歪緩和層21（Si：100nm、Ge：100nm、3周期）、1μm厚のGe熱歪緩和層22、0.5μm厚のGa熱歪緩和層3を成長する。さらにInP（100）基板5上に0.3μm厚のInGaAsスペーサ層6、2μm厚のInPデバイス層7、0.3μm厚のInPコンタクト層23を成長する。成長にはV族原料

50

11

としてジシラン (Si_2H_6) およびゲルマン (GeH_4)、V族原料としてアルシン (AsH_3) およびホスフィン (PH_3) を用いたガスソース分子線エピタキシャル成長法 (MBE法) を用いた。

【0039】次に図2 (b) に示すように硫酸系液による表面処理後、 Si (100) 基板1および InP (100) 基板5上の積層構造を、水中、700℃、30分間の加圧熱処理を行うことで GaAs 熱歪緩和層3および InP コンタクト層23を介して接合、最後に InP (100) 基板5および InGaAs スペーサ層6を除去して InP デバイス層7の表面を露出させた。

【0040】得られた InP デバイス層7からは InP 基板上の成長層と同等のPL発光強度、平坦な表面、転位密度 10^4 cm^{-2} 以下で極めて良好な結晶品質が得られた。実は本実施例では直接接合による InP/GaAs 格子不整合界面が形成されており、これが後述する請求項3の発明の効果を示すため、熱歪緩和層の導入効果と合わせさらに良好な結果が得られている。

【0041】(実施例3) 図3 (a) ~ (b) には請求項2の発明の一例としての製造工程を各段階における断面図で示した。

【0042】図3 (a) に示すように例えばまず Si (100) 基板1上に0.3 μm 厚の第一の InP コンタクト層4を成長する。さらに InP (100) 基板5上に0.3 μm 厚の InGaAs スペーサ層6、2 μm 厚の InP デバイス層7、1.5 μm 厚の GaAs 熱歪緩和層3、0.3 μm 厚の第二の InP コンタクト層8を成長する。成長にはガスソースMBE法を用いた。

【0043】次に図3 (b) に示すように硫酸系液による表面処理後、 Si (100) 基板1および InP (100) 基板5上の積層構造を、水中、600℃で30分間の加圧熱処理を行うことで第一の InP コンタクト層4および第二の InP コンタクト層8を介して接合、最後に InP (100) 基板5および InGaAs スペーサ層6を除去して InP デバイス層7の表面を露出させた。

【0044】本実施例で得られた InP デバイス層7でも InP 基板上の成長層に近いかなり良好な結晶品質が得られた。

【0045】(実施例4) 図4 (a) ~ (c) には請求項3の発明の一例としての製造工程を各段階における断面図で示した。

【0046】図4 (a) に示すように例えばまず Si (100) 2' off 基板41上に0.5 μm 厚の GaP 熱歪緩和層2、1 μm 厚の GaAs 熱歪緩和層3、0.3 μm 厚の第一の InP コンタクト層4を成長する。さらに InP (100) 基板5上に0.3 μm 厚の InGaAs スペーサ層6、2 μm 厚の InP デバイス層7、0.3 μm 厚の第二の InP コンタクト層8を成長する。成長にはガスソースMBE法を用いた。

(7)

特開平7-307259

12

【0047】次に図4 (b) に示すように硫酸系液による表面処理を行った後、 Si (100) 2' off 基板41および InP (100) 基板5上の積層構造を第一の InP コンタクト層4および第二の InP コンタクト層8を介して表面同士で重ね合わせ、軽い重りを載せて水中、600℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0048】最後に図4 (c) に示すように研磨および選択エッチングによって InP (100) 基板5および InGaAs スペーサ層6を除去して InP デバイス層7の表面を露出させた。

【0049】得られた InP デバイス層7の結晶品質を調べるために行ったホトルミネッセンス (PL) 測定からは InP 基板上の成長層と遜色のない発光強度が得られ、また発光波長のシフト、即ち InP/Si の熱膨張係数差に起因する熱歪も小さいことが分かった。 InP デバイス層7の表面は平坦であり、またエッチピット密度 (EPD) の測定から転位密度は 10^4 cm^{-2} 以下で極めて良好な結晶品質が得られていることが分かった。さらに断面TEM観察を行った結果、接合界面には (100) 2' off / just 傾斜接合による格子不整合を緩和するための転位が多数導入されており、得和 (100) 2' off 基板41側の第一の InP コンタクト層4中に存在する高密度の欠陥は、すべて接合界面で止まるか界面方向に曲げられ、上部 InP デバイス層7側への貫通は全く見られないことが分かった。

【0050】本実施例では (100) 2' off / just 傾斜接合界面を用いたが、さらに off 角度を大きくしたり、結晶軸を面内で回転させたり、さらに Si (111) 基板を用いるなどしてもよい。また第一の InP コンタクト層4を用いて GaAs 熱歪緩和層3と第二の InP コンタクト層8とを直接接合し、 InP/GaAs 格子不整合界面を形成しても良く、前述のように実施例2が実はこの構造を含んでいる。

【0051】(実施例5) 図5 (a) ~ (b) には請求項5の発明の一例としての製造工程を各段階における断面図で示した。

【0052】図5 (a) に示すように例えばまず Si (100) 基板1上に0.5 μm 厚の GaP 熱歪緩和層2、1 μm 厚の GaAs 熱歪緩和層3、0.3 μm 厚の InP コンタクト層23を成長する。さらに InP (100) 基板5上に0.3 μm 厚の InGaAs スペーサ層6、2 μm 厚の InP デバイス層7を成長し、最後に50nm厚の SiO_2 転位ブロック層51をCVD法で形成する。成長にはガスソースMBE法を用いた。

【0053】次に図5 (b) に示すように硫酸系液による表面処理後、 Si (100) 基板1および InP (100) 基板5上の積層構造を、水中、700℃で30分間の加圧熱処理を行うことで InP コンタクト層23および SiO_2 転位ブロック層51を介して接合、最後

13

にInP(100)基板5およびInGaAsスペーサ層6を除去してInPデバイス層7の表面を露出させた。

【0054】得られたInPデバイス層7のPL発光強度はInP基板上の成長層と遜色なく、熱歪も小さかった。表面は平坦であり、転位密度は 10^4 cm^{-2} 以下で極めて良好な結晶品質が得られていることが分かった。断面TEM観察からもSiO₂転位ブロック層51より上部InPデバイス層7側への転位の貫通は全く見られないことが分かった。

【0055】(実施例6)図6(a)~(b)には請求項7の発明の一例としての製造工程を各段階における断面図で示した。

【0056】図6(a)に示すように例えばまずSi(100)基板1上に0.3μm厚の第一のInPコンタクト層4を成長する。さらにInP(100)基板5上に0.3μm厚のInGaAsスペーサ層6、2μm厚のInPデバイス層7、InAlAs/InGaAs歪超格子転位ブロック層61(In_{0.1}Al_{0.9}As:20nm, In_{0.1}Ga_{0.9}As:10nm, ×10周期)、0.5μm厚のInP中間層62、1μm厚のGaAs熱歪緩和層3、0.3μm厚の第二のInPコンタクト層8を成長する。成長にはガスソースMBE法を用いた。

【0057】次に図6(b)に示すように硫酸系液による表面処理後、Si(100)基板1およびInP(100)基板5上の積層構造を、水中、600℃で30分間の加圧熱処理を行うことで第一のInPコンタクト層4および第二のInPコンタクト層8を介して接合、最後にInP(100)基板5およびInGaAsスペーサ層6を除去してInPデバイス層7の表面を露出させた。

【0058】本実施例で得られたInPデバイス層7でもInP基板上の成長層と遜色のない良好な結晶品質が得られた。断面TEM観察でもInAlAs/InGaAs歪超格子転位ブロック層61より上部InPデバイス層7側への転位の貫通は全く見られないことが分かった。

【0059】本実施例では転位ブロック層としてInAlAs/InGaAs歪超格子を用いたが、他のInAsP/InP、InGaP/InPなどの歪超格子を用いてもよく、またはInGaAsやIV族Siなどの単一歪層、さらにInPからGaAsまで組成を変化させた傾斜組成層などでもよい。GaAs熱歪緩和層はInP基板側に設けたが、Si基板側に設けても良く、さらに第二のInPコンタクト層8などを省いて歪超格子転位ブロック層61の表面を接合面としても良い。

【0060】以上実施例3、また6においてGaAs熱歪緩和層をInP基板側に設けた場合、接合面の少なくとも一方を半導体以外の例えばSiO₂など絶縁体にし

(8)

特開平7-307259

14

ても基本的に問題ない。絶縁体の場合、単なる熱処理では接合温度は高くなるが、高電圧をかければより低温で接合することもできる。また第一のInPコンタクト層4を省いてSi基板1と直に接合すれば、Si基板上へのヘテロエピタキシャル成長過程を省けるため効率的である。

【0061】また実施例1、2、また実施例6でGaAs熱歪緩和層をSi基板側に設けた場合においても、十分に薄く熱膨張係数差が無視できるならば接合面に絶縁体を用いてもよく、この場合の薄い絶縁体層には実は実施例5で説明した転位ブロック層として働きも期待できる。

【0062】以上の6つの実施例では成長法としてガスソースMBE法を用いたが、他の例えばMOCVD法やハロゲン輸送法などを用いても良い。

【0063】6つの実施例では接合面にInPコンタクト層を専ら用いたが、In系化合物半導体、中でもInPが最も低温でマイグレーションによる質量移動が起き、接合界面の多少の隙間はこれが埋めるため、より低温での接合が可能であるためである。従って接合温度が高くても良ければ他の材料を用いても良く、実施例でInPコンタクト層を省いても良い。

【0064】また6つの実施例ではInPデバイス層の支持基板としてInP格子整合基板を用いたが、他の格子整合しない半導体基板やあるいは絶縁体を用いてもよい。ただしInPデバイス層をエピタキシャル成長法や接合法でこれら支持基板上に形成する際は、格子不整合あるいは熱歪による結晶品質の劣化は避ける必要がある。

【0065】また6つの実施例ではSi基板上へInPデバイス層を形成する場合を例に説明したが、他のInAs、InSb、またGaSbやこれらの混晶層などを形成する場合、また複数種類からなる多層構造を形成する場合にも広く本発明を適用することができる。また実施例のようにInP基板上に形成したデバイス層を接合でSi基板上に転写するのではなく、接合でSi基板上に形成した高品質層上に後からデバイス層をエピタキシャル成長しても良く、さらに両方を組合わせても良い。半導体熱歪緩和層としては上記デバイス層よりも剛性率が大きくなればよく、他の例えばAlP層やAlAs層の場合、またこれにGe層、GaP層、GaAs層を加えた中から選択して構成された混晶層または超格子層、さらにはこれらの多層構造などを用いても良い。

【0066】

【発明の効果】以上のように本発明によればSi基板上に高品質なIII-V族化合物半導体単結晶層を直接接合して形成するSi基板上化合物半導体積層構造の製造方法を實現でき、発明の効果が示された。

【図面の簡単な説明】

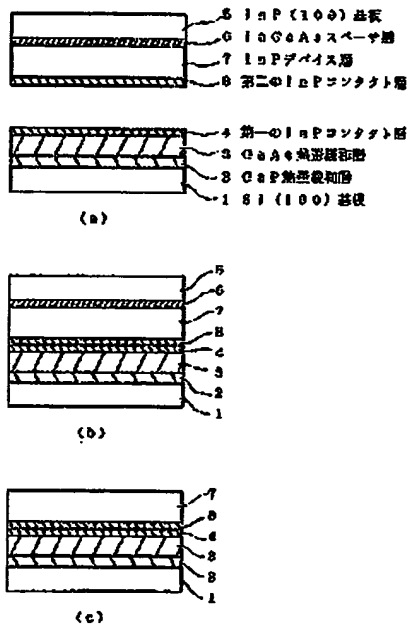
【図1】本発明の実施例の工程を示す断面図である。

15

【図2】本発明の実施例の工程を示す断面図である。
 【図3】本発明の実施例の工程を示す断面図である。
 【図4】本発明の実施例の工程を示す断面図である。
 【図5】本発明の実施例の工程を示す断面図である。
 【図6】本発明の実施例の工程を示す断面図である。
 【符号の説明】

- 1 Si (100) 基板
- 2 GaP熱歪緩和層
- 3 GaAs熱歪緩和層
- 4 第一のInPコンタクト層
- 5 InP (100) 基板

【図1】



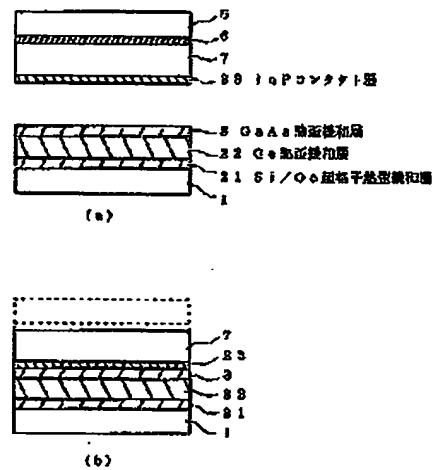
(9)

特開平7-307259

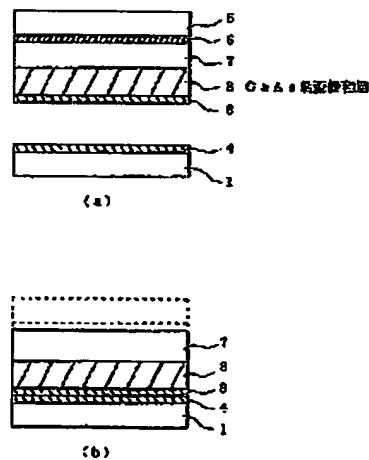
16

- * 6 InGaAsスペーサ層
- 7 InPデバイス層
- 8 第二のInPコンタクト層
- 21 Si/Ge超格子熱歪緩和層
- 22 Ge熱歪緩和層
- 23 InPコンタクト層
- 41 Si (100) 2' off 基板
- 51 SiO₂ 転位ブロック層
- 61 InAlAs/InGaAs超格子転位ブロック層
- 10 ク層
- * 62 InP中間層

【図2】



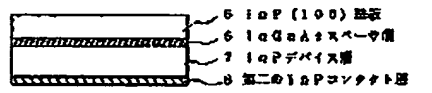
【図3】



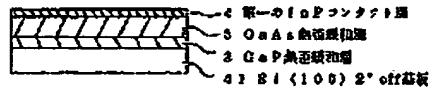
(10)

特開平7-307259

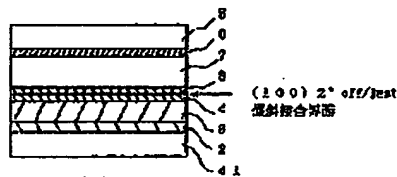
【図4】



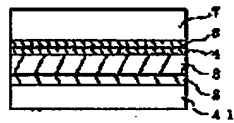
(a)



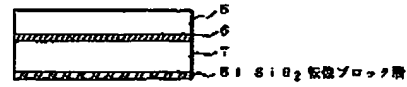
(b)



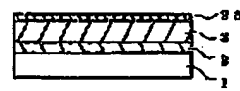
(c)



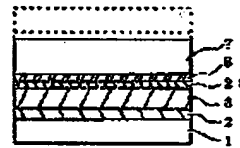
【図5】



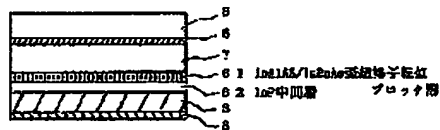
(a)



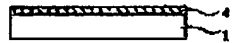
(b)



【図6】



(a)



(b)

